

文章编号 1004-924X(2010)09-2053-07

大面阵 CCD 图像实时显示系统的设计

王明富^{1,2}, 杨世洪¹, 吴钦章¹

(1. 中国科学院 光电技术研究所, 四川 成都 610209; 2. 中国科学院 研究生院, 北京 100049)

摘要:为解决基于 CameraLink 接口的相机必须使用专用采集卡和系统机才能显示的问题,设计了一种结构简单、携带方便的图像实时显示系统。该系统采用 2 片 SDRAM 对图像进行交替缓存,并在 Xilinx 公司的 Spartan3 系列现场可编程门阵列(FPGA)中完成了较为复杂的主要控制逻辑。将 CameraLink 输入的图像经过拼接、BIN 等预处理后缓存到 1 片 SDRAM,同时按照一定格式以 25 frame(50 field)/s 的速度读出另 1 片 SDRAM 中的图像,经 ADV7300 转换成模拟电视信号后送到模拟显示器显示。结果表明,在相机帧频为 3.6 frame/s 时,该系统可以实时显示大面阵 CCD 数字航测相机拍摄的图像,能观察不同分辨率的图像以及原图像任何部位的细节,并能根据天气条件调整显示亮度以更好地观察图像。该系统只包含 1 块电路板和 1 个模拟显示器,已成功应用于 4 008×5 344 面阵的 CCD 数字航测相机中。

关键词:CCD 图像;实时显示;CameraLink 接口;现场可编程门阵列(FPGA);Bin 操作;SDRAM 控制器

中图分类号:TP752.1;TN27 **文献标识码:**A **doi:**10.3788/OPE.20101809.2053

Design of large-array CCD real-time display system

WANG Ming-fu^{1,2}, YANG Shi-hong¹, WU Qin-zhang¹

(1. *Institute of Optics and Electronics, Chinese Academy of Sciences, Chengdu 610209, China;*
2. *Graduate University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: As the CCD camera based on CameraLink interface can not display images without a dedicated data acquisition card and system computer, a kind of simple and real-time image display system was designed for a 4 008×5 344 array CCD camera based on CameraLink interface. Two SDRAMs were used in the system to storage images alternately, and the main logical function was accomplished in a Spartan3 family Field Programming Gate Array (FPGA) from Xilinx Company. The image data from CameraLink were stored in a SDRAM by stitching and BIN processing, meanwhile, the image data read from another SDRAM at a speed of 25 frame/s (50 field /s) were convert to standard TV analog signals by a digital-to-analog encoder chip ADV7300 to display in an analog monitor. The verification results show that the system can real-time display the images of the large-array digital aerial camera with different resolutions and their details at a speed of 3.6 frame /s, and also can adjust the brightness of the images to get a good observation according to the weather conditions. The designed system only contains one PCB board and one alanog monitor and has been used in a CCD digital aerial camera with the 4 008×5 344 array successfully.

Key words: CCD image; real time display; CameraLink interface; Field Programming Gate Array (FPGA); Bin operation; SDRAM controller

收稿日期:2009-09-21;修订日期:2009-12-10.

基金项目:大科学工程国家遥感综合平台项目

1 引言

随着计算机和 CCD 技术的发展,航空数字摄影已逐渐取代胶片摄影成为环境监测、资源勘查、城市规划等领域的主要数据来源。相对于传统胶片摄影,数字摄影优势明显^[1]:感光范围广、灵敏度高、受天气影响较小、后续数据处理相对简单、作业效率较高、能实时监测拍摄画面等。数字航测相机在图像拍摄过程中,实时监测图像画面十分重要,通过图像画面的实时监测,可以了解拍摄情况,实时调整影响成像质量的关键相机参数,以保证影像数据质量最优,使作业效率最大化。

目前,所有基于 CameraLink 接口的 CCD 相机都不能直接显示图像,需要将图像信号接到专用采集卡才能在系统机显示器上显示^[2],整个系统较为庞大,对于数字航测应用来说极不方便,因此,需要设计一种结构简单、携带方便的显示系统。本文基于本所自主研发的面阵大小为 $4\ 008 \times 5\ 344$ 的 CCD 相机,设计了一种图像实时显示系统。该系统通过 CameraLink 接口将相机产生的图像数据输入到 FPGA,利用 FPGA 内部 RAM 资源交替行缓存的方法将相机输出的 4 路图像拼接成顺序输出的 2 路图像,之后再通过 BIN 操作(即通过求和取平均值的方法将原始图

像大小缩小相应倍数)降低原始图像分辨率后交替缓存到 2 片 SDRAM 中,最后根据数模转换芯片 ADV7300 的时序要求交替读出 SDRAM 中的缓存图像数据送到 ADV7300 进行数模转换,生成标准模拟电视信号后送到模拟监视器显示。其中,2 片 SDRAM 并行操作,读写控制过程较为复杂,是本文的一个难点。

2 系统硬件电路设计

如图 1 所示,整个显示系统硬件电路主要由几部分组成:

(1) CameraLink 与 FPGA 的接口电路:相机产生的 4 路信号通过 Medium 配置的 CameraLink 接口从相机输入 FPGA。

(2) SDRAM 与 FPGA 的接口电路:相机信号在 FPGA 中经过拼接、Bin 操作后需缓存到 SDRAM。由于显示是连续不断的,因此必须将完整的图像保存到 SDRAM 中,在当前图像显示的同时,CCD 相机又有新的图像数据输入,因此采用 2 片 HY57V281620 SDRAM 交叉存储。

(3) ADV7300 与 FPGA 接口电路:ADV7300 是 AD 公司生产的一款高速数模转换芯片,内部集成了 6 个兼容 TTL 电平的高速数模转换通道,支持高清、标清视频输入、输出。

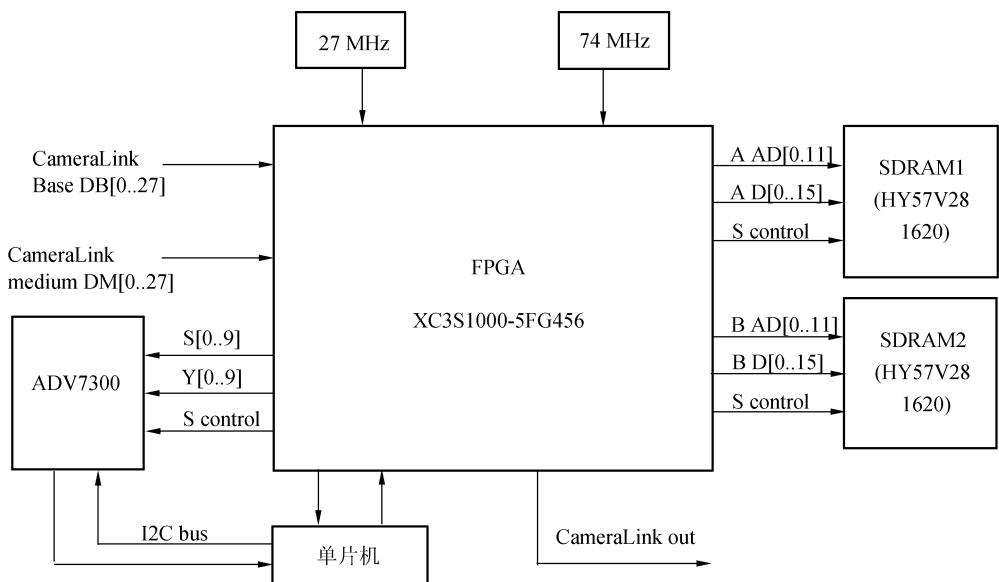


图 1 系统硬件电路框图

Fig. 1 Hardware circuit of system

(4) 单片机与 ADV7300 接口电路:设计用单片机通过 I2C 总线完成对 ADV7300 内部寄存器配置、初始化。另外,单片机与 FPGA 也有连接,主要用来设置 FPGA 内部逻辑的工作参数,比如设置图像显示窗口的起始坐标,BIN 模式的 BIN 倍率,以及数字增益倍率等。

其中,FPGA 是主要的逻辑器件,系统的主要逻辑功能都是在 FPGA 中完成的。另外,所有参数都是通过单片机设置的:在 FPGA 中开设一些寄存器,然后利用单片机向这些寄存器写入数据来实时改变这些参数,完成 BIN 倍率切换、图像数字增益调整、图像显示窗口位置移动等控制。

3 FPGA 内部逻辑

如图 2 所示,在 FPGA 内部主要有:图像拼接模块,BIN 模块,数据读写时序生成模块,SDRAM 控制器模块,ADV7300 时序生成模块等几个逻辑功能模块。其中 SDRAM 读写时序生成模块和 SDRAM 控制器是整个系统的核心部分,因为它们负责将数据缓存到 SDRAM,再配合 ADV7300 时序读出数据,是整个系统成败的关键。

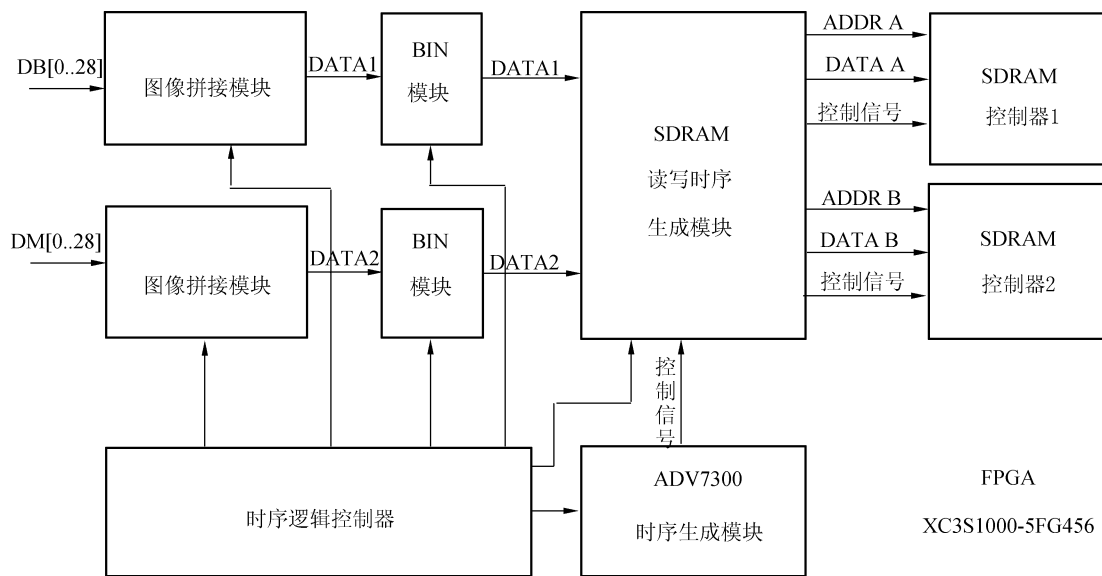


图 2 FPGA 内部主要逻辑功能模块

Fig. 2 Main logic modules in FPGA

3.1 图像拼接模块

如图 3 所示,相机同时送出 4 路并行图像:1 路和 2 路图像,3 路和 4 路图像在水平方向互为镜像;1 路和 3 路图像,2 路和 4 路图像在垂直方向上互为镜像。因此,需要对图像的第 2 路,4 路进行矫正,变成顺序输出的图像,并将它们拼接在第 1 路和第 3 路图像的后面,使图像的上半部分、下半部分分别重组成 1 路顺序输出的图像。另外,图像的下半部分顺序是颠倒的,需要在将数据存储到 SDRAM 的过程中将图像矫正过来。这样就可以在 SDRAM 中形成一幅完整的顺序图像了。

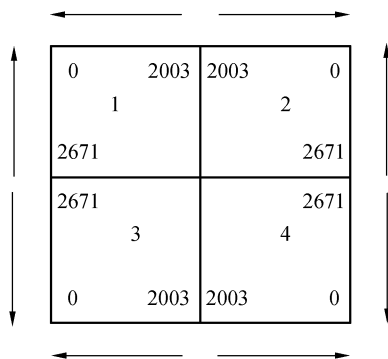


图 3 CCD 相机图像输出顺序

Fig. 3 Image output sequence of CCD camera

3.2 BIN 模块

由于相机产生的图像大小为 $4\ 008 \times 5\ 344$ ，而普通模拟显示器显示的图像大小仅为 720×576 ，因此需要将原图像缩放、裁剪后才能进行全图显示。为此，设计了 BIN 模块，并在 FPGA 中设置了 BIN 倍率控制参数寄存器和图像显示窗位置参数寄存器。通过单片机对这些寄存器进行读写，就可以随时改变显示图像的分辨率和相对于原始图像的位置。如图 4 所示。本文将 BIN 操作后的输出图像都剪裁成相同大小： 720×576 。 8×8 BIN 操作后的图像大小不足 720×576 ，采用补零的方式将图像扩展成 720×576 。这样，BIN 操作后输出到下一级的图像大小始终是 720×576 ，从而不必考虑在不同 BIN 倍率下产生 SDRAM 读写地址的差异，可大大减少对 SDRAM 控制的复杂度，提高 SDRAM 的读写效率。另外，相机可能由于天气等外界因素的影响而曝光不足，导致图像整体偏暗，影响视觉效果。为改善视觉质量，同时设计了简单的图像增强功能：对偏暗的图像取 BIN 后像素的较低比特，这样就可以简单地实现图像增强显示。

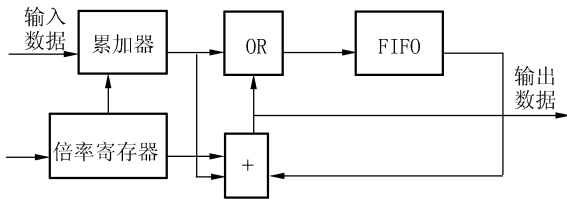


图 4 BIN 操作示意图

Fig. 4 BIN operation

3.3 SDRAM 读写模块

该模块是系统最重要的模块之一，采用 2 片 SDRAM 交替缓存：在对第 1 个 SDRAM 执行写操作的同时，对第 2 个 SDRAM 执行读操作，既能保证图像不丢帧，也能连续不断地显示。读 SDRAM 时需要精确配合 ADV7300 的时序要求，它在本系统中被配置为标准 PAL 电视制式，隔行扫描，要求 25 frame/s 50 场的显示速度。因此，一旦图像缓存到 SDRAM 中后就需要反复不断的读取 SDRAM，以达到连续不断显示的目的。

3.3.1 SDRAM 写操作

该部分主要任务是产生 SDRAM 控制器需要的写时序，将图像存储到 SDRAM。为简化地址生成时序，将 1 行图像 (720 pixel) 存储到 3 个

连续 BANK 中去，这样地址产生过程在 3 个 BANK 中都是一致的，在数据存储时就只需要在 3 个 BANK 中来回切换即可。由于图像的下半部分顺序是颠倒的，需要在写入 SDRAM 时矫正过来，因此下半部分图像行地址是逐行递减的，具体从哪一行开始递减是需要精确计算的，否则就可能导致图像丢行或者图像中间有缝隙。为匹配输入数据流与 SDRAM 的写入速度，需要在 SDRAM 控制器前加上 1 个 FIFO。另外，由于 SDRAM 是易失性存储器，为保证数据不丢失，SDRAM 要求在 64 ms 内对所有行都至少刷新一遍，而在 SDRAM 内部会自动生成刷新地址，只需在 64 ms 内发送相应次数的刷新命令即可保证数据不丢失^[4]。为保证数据的读写过程不被中断，提高数据读写效率，我们选择在 SDRAM 的读写空闲期间对 SDRAM 不断刷新。

3.3.2 SDRAM 读过程

SDRAM 的读过程必须满足 ADV7300 的时序要求，按照时序要求将数据读出后再送到 ADV7300 转换为模拟信号。为更方便灵活地设计时序，本文将 AVD7300 配置为 Slave 模式，标准 PAL 电视制式，隔行扫描，输入时钟为 27 MHz。它的时序要求如下^[4]：

由图 5 可以看出：标准 PAL 制式电视信号总共要扫描 625 行，从第 1 行到 312 行为奇场，第 313 行到 625 行为偶场，奇场和偶场各有 288 行有效，其余是场消隐。另外，对于每 1 行来说又有如图 5、图 6 所示的时序：

对于标准 PAL 制式来说，它共有 $(12 + 132) \times 2 = 288$ 个时钟的行消隐，再加上 $720 \times 2 = 1\ 440$ 个时钟的数据有效期，那么每 1 行就需要 $288 + 1\ 440 = 1\ 728$ 个时钟计数。本文设计了 2 个计数器，第 1 个模为 1 728 的计数器用来产生行信号，每个行信号再作为 1 个计数脉冲触发第 2 个计数器，产生场信号。这样，就产生了严格、精确的 ADV7300 数模转换时序，在数据有效期将数据从 SDRAM 中读出送到 ADV7300 将数字图像转换为模拟图像。由于数据从 SDRAM 读出进入到 ADV7300 有几个时钟周期的延迟，因此需要提前将数据从 SDRAM 中读出。另外，由于在读取数据的过程中需要 BANK 切换导致数据的读过程不连续，需要在数据读出后在 FIFO 中缓存组成连续的数据后再送到 ADV7300。

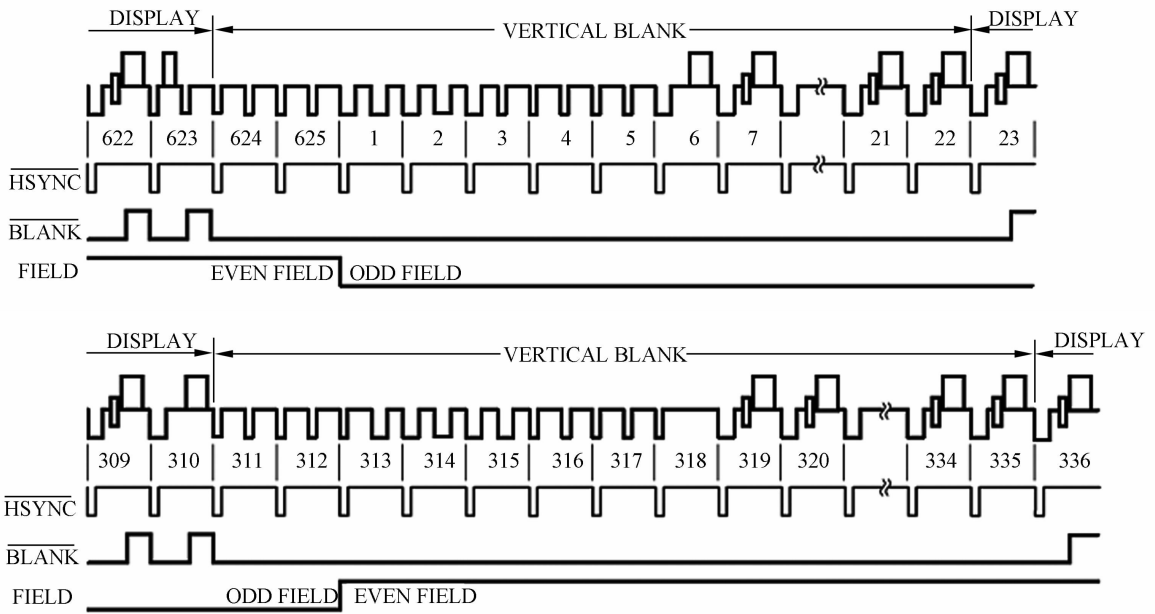


图 5 标准 PAL 制式电视信号行时序

Fig. 5 SD PAL TV signal row timing

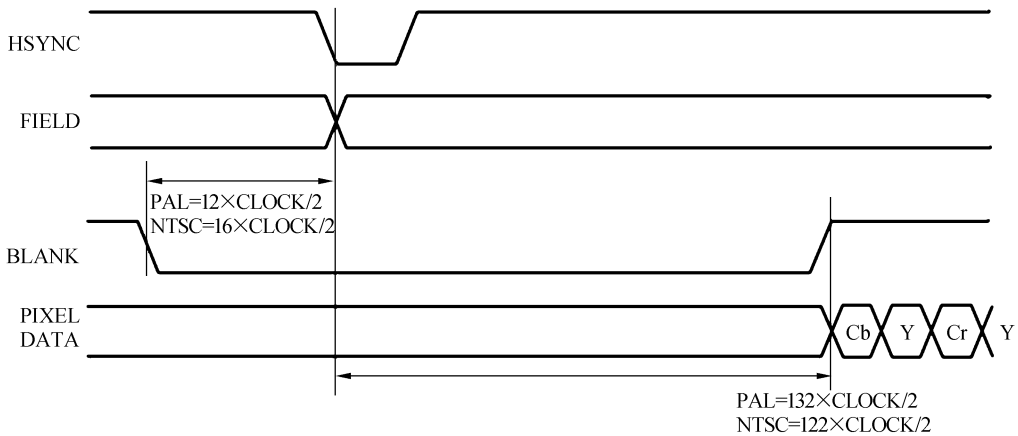


图 6 标准 PAL 制式电视信号列时序

Fig. 6 SD PAL TV signal column timing

3.4 SDRAM 控制器

SDRAM 控制器是该系统另外 1 个重要的部分,它接收读写模块发送的命令,然后进行命令、地址译码,生成 SDRAM 需要的控制时序^[8]。该系统中 SDRAM 被配置为页突发模式,以提高工作效率。如图 7 所示,它主要由 5 个逻辑功能模块组成:

- (1) 建立模块:保证系统上电 100 μ s SDRAM 自检完毕后再进行初始化操作。
- (2) 初始化模块:SDRAM 必须经过对所有

BANK 预充、2 个连续刷新、加载模式寄存器操作后,初始化模块才完成对 SDRAM 的初始化,此时初始化完毕信号被置高,表示初始化已经完毕,可以对 SDRAM 进行读写操作了。

(3) 状态机模块:主要有空闲状态,初始化状态,数据读写状态和刷新状态 4 个状态,在这 4 个状态中转换可以完成 SDRAM 的读写以及刷新等操作,对所有的操作都是从空闲状态开始,操作完毕又回到空闲状态。

(4) 时序生成模块:该模块接收外部读写命

令, 然后将其译码来控制状态机的转换, 以产生地址、BANK 激活、读写操作等不同的 SDRAM 控

制时序。

(5) 数据流模块: 完成数据的输入输出控制。

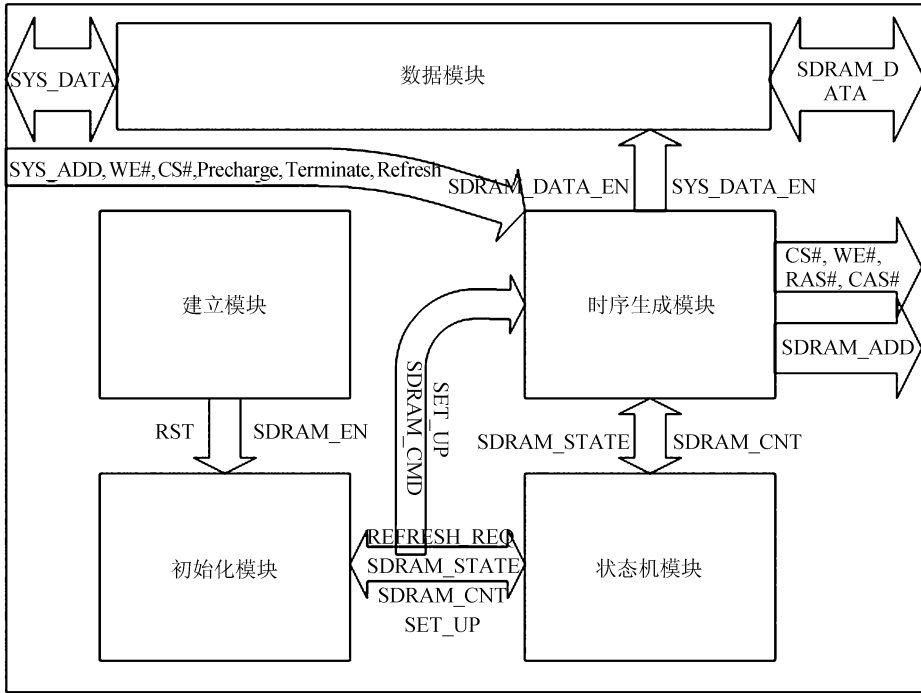


图 7 SDRAM 控制器内部结构

Fig. 7 Inter-structure of SDRAM controller

4 结 论

为解决基于 CameraLink 接口 CCD 相机图像不能直接显示的问题, 本文设计了 1 种只包含 1 块电路板和 1 个模拟显示器的图像实时显示系统。首先, 介绍了该系统硬件电路基本原理, 然后, 分析了 FPGA 内部主要功能模块的作用及具

体实现方法。该显示系统具有结构简单、携带方便、实时性好等优点, 已成功地应用在 $4\ 008 \times 5\ 344$ 面阵的 CCD 数字航测相机中, 得到了较好的显示效果, 满足实时、多分辨率、增强显示的要求。修改该系统 FPGA 内部部分参数后就可将其直接应用到其他基于 CameraLink 接口的不同面阵大小的 CCD 相机中, 具有较好的通用性。

参考文献:

[1] 关澈, 王延杰. CCD 相机实时自动调光系统[J]. 光学精密工程, 2008, 16(2): 358-365.
 GUAN CH, WANG Y J. Real-time auto light control system of CCD camera [J]. *Opt. Precision Eng.*, 2008, 16(2): 358-365. (in Chinese)

[2] 何中翔, 杨世洪. 基于 CameraLink 的实时显示技术研究[J]. 现代显示, 2008, 93(10): 31-35.
 HE ZH X, YANG SH H. Research on the real-time display technology based on cameraLink [J].

Advanced Display, 2008, 93(10): 31-35. (in Chinese)

[3] Xilinx. *Vertex-II Platform FPGA Handbook* [M]. Xilinx, San Jose, CA, 2004.

[4] 徐欣, 于红旗, 易凡, 等. 基于 FPGA 的嵌入式系统设计 [M]. 北京: 机械工业出版社, 2004.
 XU X, YU H Q, YI F. *Embedded System Design Based on FPGA* [M]. Beijing: China Machine Press, 2004. (in Chinese)

[5] 苏海冰, 吴钦章. 用 SDRAM 在高速数据采集和存储系统中实现海量缓存[J]. 光学精密工程, 2002, 10(5): 462-465.

SHU H B, WU Q ZH. Realization of mass storage by using SDRAM in a high speed data acquisition and storage system [J]. *Opt. Precision Eng.*, 2002,10(5):462-465. (in Chinese)

- [6] 王明富,杨世洪. 大面阵 CCD 图像实时显示系统中的 SDRAM 控制器设计[J]. 计算机应用, 2009,5(5):1449-1451.

WANG M F, YANG SH H. A SDRAM controller designed for large-array CCD image real-time display system [J]. *Journal of Computer Applications*, 2009,5(5):1449-1451. (in Chinese)

- [7] 孙辉,张葆,刘晶红,等. 航空光电成像电子稳像技术[J]. 光学精密工程, 2007,15(8):1280-1286.

SUN H, ZHANG B, LIU J H, *et al.*. Electronic image stabilization for aerial E-O imaging system

[J]. *Opt. Precision Eng.*, 2007, 15(8): 1280-1286. (in Chinese)

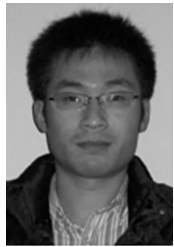
- [8] 刘瑞安,靳世久,吴晓荣,等. 视线跟踪系统中 CCD 摄像机的自适应调节[J]. 光学精密工程, 2007,15(6):966-972.

LIU R A, JIN SH J, WU X R, *et al.*. Adaptive regulation of CCD camera in eye gaze tracking system [J]. *Opt. Precision Eng.*, 2007, 5(6):966-972. (in Chinese)

- [10] 王慧. 面阵 CCD 数字航测相机成像模型与处理技术[D]. 郑州:解放军信息工程大学, 2006.

WANG H. *Imaging model and data processing technology of large format CCD aerial camera* [D]. Zhengzhou: Information Engineering University, 2006.

作者简介:



王明富(1982—),男,四川遂宁人,博士研究生,主要从事大面阵数字航测相机图像压缩及显示技术的研究。E-mail: Arraby@163.com



吴钦章(1955—),男,山东泰安人,研究员,博士生导师,主要从事光电跟踪测量信息处理及计算机系统管理控制技术的研究。E-mail: WuQzh@163.com

导师简介:



杨世洪(1966—),男,四川宜宾人,研究员,主要从事先进光电探测技术及传感器应用技术的研究。E-mail: Shy@163.com